

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-269318

(P2000-269318A)

(43)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl.⁷

H 01 L 21/76
27/10

識別記号

3 7 1

F I

H 01 L 21/76
27/10

テマコード(参考)

L 5 F 0 3 2
3 7 1 5 F 0 8 3

審査請求 未請求 請求項の数 5 O.L (全 9 頁)

(21)出願番号

特願平11-67384

(22)出願日

平成11年3月12日(1999.3.12)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小池昇

三重県四日市市山之一色町800 株式会社
東芝四日市工場内

(72)発明者 近藤敏行

三重県四日市市山之一色町800 株式会社
東芝四日市工場内

(74)代理人 100064285

弁理士 佐藤一雄 (外3名)

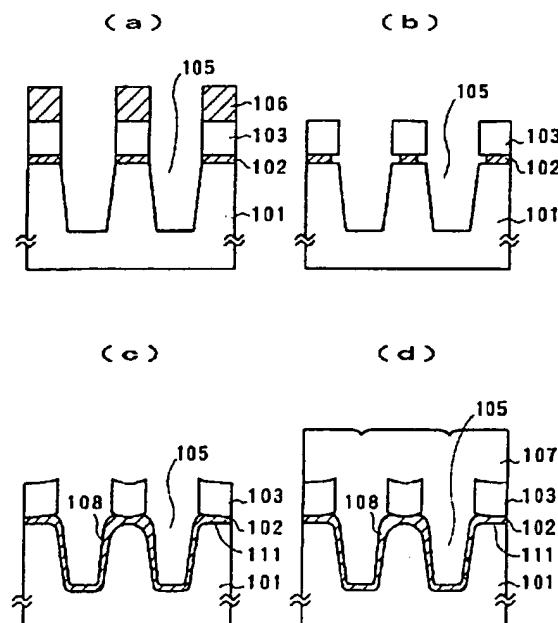
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 実効的な素子特性を向上させ、または素子領域の基板表面が露出することを防止することが可能な半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板101の表面上にシリコン酸化膜102を形成し、この表面上に埋め込み酸化膜の平坦化ストッパー材となるシリコン窒化膜103を形成する。半導体基板101にトレンチ105を形成した後、シリコン酸化膜102の側面にエッチングを行って後退させる。半導体基板101の露出している表面に酸化を行って素子領域の表面に丸みを付ける。これにより、素子領域の実効寸法を実寸法よりも大きくすることができる。



【特許請求の範囲】

【請求項1】半導体基板の表面上に第1及び第2の絶縁膜を順に形成し、この第1及び第2の絶縁膜と前記半導体基板の表面部分とにバーニングを行ってトレンチを形成する工程と、
前記第1の絶縁膜の側面にエッティングを行って所定量後退させる工程と、
前記半導体基板の露出している表面に酸化を行って素子領域の表面に丸みを付ける工程と、
トレンチ内部を埋めるように第3の絶縁膜を堆積し、前記第2の絶縁膜をストッパー材として前記第3の絶縁膜を平坦化する工程と、
前記第2の絶縁膜を除去する工程と、
前記素子領域の表面上の前記第1の絶縁膜を除去する工程と、
を備え、素子領域の実効寸法が実寸法よりも大きいことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板の表面上に第1及び第2の絶縁膜を順に形成し、この第1及び第2の絶縁膜と前記半導体基板の表面部分とにバーニングを行ってトレンチを形成する工程と、
前記第1の絶縁膜の側面にエッティングを行って第1の量だけ後退させる工程と、
前記半導体基板の素子領域の角部にエッティングを行って第2の量だけ除去する工程と、
前記半導体基板の露出している表面に酸化を行って素子領域の表面に丸みを付ける工程と、
トレンチ内部を埋めるように第3の絶縁膜を堆積し、前記第2の絶縁膜をストッパー材として前記第3の絶縁膜を平坦化する工程と、
前記第2の絶縁膜を除去する工程と、
前記素子領域の表面上の前記第1の絶縁膜を除去する工程と、
を備え、素子領域の実効寸法が実寸法よりも大きいことを特徴とする半導体装置の製造方法。

【請求項3】半導体基板の表面上に第1及び第2の絶縁膜を順に形成し、この第1及び第2の絶縁膜と前記半導体基板の表面部分とにバーニングを行ってトレンチを形成する工程と、
前記第1及び第2の絶縁膜の側面にエッティングを行って第1の量だけ後退させる工程と、
前記半導体基板の露出している表面に酸化を行って素子領域の角部に丸みを付ける工程と、
前記第1及び第2の絶縁膜の側面にエッティングを行ってさらに第2の量だけ後退させる工程と、
トレンチ内部を埋めるように第3の絶縁膜を堆積し、前記第2の絶縁膜をストッパー材として前記第3の絶縁膜を平坦化する工程と、
前記第2の絶縁膜を除去する工程と、
前記素子領域の表面上の前記第1の絶縁膜を除去する工

程と、

を備え、前記素子領域の角部より前記第1及び第3の絶縁膜が後退しないことを特徴とする半導体装置の製造方法。

【請求項4】素子領域と素子分離領域とが設けられ、素子分離領域にトレンチが形成された半導体基板と、
前記トレンチの内壁に形成された酸化膜と、
前記トレンチ内部を埋め込むように形成された絶縁膜と、
を備え、前記トレンチの内壁に前記酸化膜を形成するための酸化工程によって前記素子領域の表面に丸みが付いており、素子領域の実効寸法が実寸法よりも大きいことを特徴とする半導体装置。

【請求項5】素子領域と素子分離領域とが設けられ、素子分離領域にトレンチが形成された半導体基板と、
前記トレンチの内壁に形成された酸化膜と、
前記トレンチ内部を埋め込むように形成された絶縁膜と、
を備え、前記トレンチの内壁に前記酸化膜を形成するための酸化工程によって前記素子領域の角部に丸みが付いており、さらに前記素子領域の角部より前記絶縁膜及び前記酸化膜が後退していないことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係わり、特に埋め込み素子分離領域を有する装置とその製造方法に関するものである。

【0002】

【従来の技術】SRAM (Static Random Access Memory) 等の半導体記憶装置やロジックIC等では、一般にシャロートレンチアイソレーション (以下、STIという) と称されている方法により埋め込み素子分離領域を形成することが行われている。STIとは、半導体基板の表面部分をエッティングして素子分離用のトレンチを形成し、トレンチをシリコン酸化膜で埋め込んだ後、化学的機械研磨 (Chemical Mechanical Polish、以下CMPという) 等により平坦化することで、所望の領域に素子分離用の酸化膜を埋め込む素子分離法である。トレンチ形成後に平坦化するときのストッパーとして、通常シリコン窒化膜が用いられる。このような従来の半導体装置の製造方法及び装置の構造について、図8、図9、図10及び図11を用いて説明する。

【0003】図8(a)に示されているように、半導体基板301上に熱酸化法により約150オングストロームの膜厚でシリコン酸化膜302を形成する。その表面上に、ストッパー材としてのシリコン窒化膜(又は多結晶シリコン膜)303をCVD (Chemical Vapor Deposition) 法により約1500オングストロームの膜厚で堆積する。さらにその表面上にレジストを塗布し、写真

蝕刻法を用いてパターニングしたレジスト膜305を形成する。

【0004】図8 (b) に示されているように、レジスト膜305をマスクとして異方性エッチングを行い、シリコン窒化膜303及びシリコン酸化膜302にパターニングを行う。さらに、半導体基板301の表面部分に異方性エッチングを行い、約4000オングストロームの深さのトレンチ309を形成する。その後、レジスト膜305を剥離する。

【0005】図8 (c) に示されているように、トレンチ309の内壁を熱酸化法により酸化し、約350オングストロームの膜厚のシリコン酸化膜306を形成する。

【0006】図8 (d) のように、トレンチ309の埋め込み材としてTEOS膜307を表面全体に堆積する。

【0007】あるいは、図9 (a) に示されるように、平坦化のストッパー材としてのシリコン窒化膜303上に、さらに約1000オングストロームのシリコン酸化膜304をトレンチ形成用マスクとして形成する場合もある。この場合は、シリコン酸化膜304上にレジスト膜305を形成し、図9 (b) に示されるようにシリコン酸化膜304に異方性エッチングを行ってパターニングする。

【0008】図9 (c) に示されたように、シリコン酸化膜304をマスクとして半導体基板301に異方性エッチングを行いトレンチ309を形成する。レジスト膜305を除去した後、図9 (d) に示されたようにトレンチ309の内壁に熱酸化法によりシリコン酸化膜306を形成する。

【0009】図9 (e) のように、TEOS膜307をトレンチ309の埋め込み材として表面全体に堆積する。

【0010】図8 (d) 又は図9 (d) に示された工程の後に、TEOS膜307にエッチバックあるいはCMPを行い、シリコン窒化膜303の表面が露出するまで平坦化処理を行う。平坦化した後、図10 (a) のようにシリコン窒化膜303を剥離し、トレンチ309に埋め込まれたTEOS膜307から成る素子分離領域307と、素子領域311とが形成される。

【0011】図10 (a) に示された縦断面図を斜め上方から見た斜視図が図10 (b) に相当する。この図10 (b) に示されたように、表面上に電極材を堆積してパターニングを行い、ゲート電極308等の配線を形成する。さらにトランジスタ等の素子を形成して半導体装置を完成する。

【0012】しかし、このようにして形成された従来の装置では、素子領域311の表面が平坦である。よって、素子領域311に素子を形成した場合における実効的な寸法と素子領域311の実寸法とが一致する。この

ため、実寸法以上に素子の能力を高めることができなかった。より具体的には、素子領域311にトランジスタを形成した場合、トランジスタのW/Lは素子領域311の実寸法により決定されてしまい、駆動能力を高めることはできなかった。また、従来の半導体装置には図11 (a) に示されたような工程を経て製造されるものがあった。図11 (a) のように、半導体基板401の表面上にシリコン酸化膜402、平坦化のストッパー材としてのシリコン窒化膜403、トレンチ形成用のレジスト膜404を形成する。

【0013】図11 (b) に示されているように、レジスト膜404をマスクとして異方性エッチングを行い、シリコン窒化膜403及びシリコン酸化膜402にパターニングを行う。シリコン窒化膜403をマスクとして半導体基板401にトレンチ408を形成する。

【0014】図11 (c) のように、シリコン酸化膜402に対して横方向にウェットエッチングを行い、後退させる。

【0015】図11 (d) に示されているように、半導体基板401のトレンチ408の内壁を熱酸化法により酸化し、約350オングストロームのシリコン酸化膜405を形成する。これにより、素子領域の角部409に丸みがついた状態になる。

【0016】図11 (e) に示されたように、TEOS膜406を埋め込み材としてトレンチ408を埋め込むように堆積する。

【0017】図11 (f) のように、TEOS膜307にエッチバックあるいはCMPを行い、シリコン窒化膜403の表面が露出するまで平坦化を行う。平坦化後、図11 (g) のようにシリコン窒化膜403を剥離する。これにより、素子分離領域410と素子領域411とが形成される。

【0018】ここで、素子領域411の角部409を丸める処理を施したのは、角張ったまではその後のゲート酸化膜が角部に十分に形成されず、膜厚が減少するからである。ゲート酸化膜の膜厚が薄いと、耐圧が低下してオフリード電流特性が悪化する。また閾値に関し、予め設定した電圧の外に、より低い電圧で2段階に閾値が発生するというキック特性を示すようなトランジスタができるおそれもある。そこで、素子領域411の角部409を丸めてゲート酸化膜の膜厚を確保している。

【0019】しかし、図11 (h) に示されたように、素子領域411の表面上のシリコン酸化膜402を除去し、この部分にゲート酸化膜を形成すると、シリコン酸化膜の除去及び酸化を行うことになる。これにより、素子分離領域410を埋め込むシリコン酸化膜406の上面及び側面がエッチングにより除去される。そして、素子領域411の角部409において図示した部分407のように、素子分離領域410を埋め込むシリコン酸化膜406が素子領域411の角部409よりも落ち込ん

で、半導体基板401の表面が露出する。これにより、素子領域411の角部409が埋め込み用シリコン酸化膜406やシリコン酸化膜405よりも膜厚の薄いゲート酸化膜で覆われることとなり、耐圧の低下やオフリーク電流の増加を招いていた。

【0020】

【発明が解決しようとする課題】上述のように、従来の半導体装置には、素子領域の表面が平坦な形状であり実寸法以上に実効的な素子特性の向上を図ることができないという問題、または素子分離領域を埋め込むシリコン酸化膜が素子領域の角部よりも落ち込んでこの部分が膜厚の薄いゲート酸化膜で覆われることで、耐圧の低下やオフリーク電流の増加を招くという問題があった。

【0021】本発明は上記事情に鑑み、素子領域の実寸法よりも実効寸法が大きい素子を形成することが可能であり、あるいは耐圧の低下やオフリーク電流の増加を防止することが可能な半導体装置及びその製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の半導体装置は、半導体基板の表面上に第1及び第2の絶縁膜を順に形成し、この第1及び第2の絶縁膜と前記半導体基板の表面部分とにバーニングを行ってトレンチを形成する工程と、前記第1の絶縁膜の側面にエッチングを行って所定量後退させる工程と、前記半導体基板の露出している表面に酸化を行って素子領域の表面に丸みを付ける工程と、トレンチ内部を埋めるように第3の絶縁膜を堆積し、前記第2の絶縁膜をストッパー材として前記第3の絶縁膜を平坦化する工程と、前記第2の絶縁膜を除去する工程と、前記素子領域の表面上の前記第1の絶縁膜を除去する工程とを備え、素子領域の実効寸法が実寸法よりも大きいことを特徴としている。

【0023】また、本発明の半導体装置の製造方法は、半導体基板の表面上に第1及び第2の絶縁膜を順に形成し、この第1及び第2の絶縁膜と前記半導体基板の表面部分とにバーニングを行ってトレンチを形成する工程と、前記第1の絶縁膜の側面にエッチングを行って第1の量だけ後退させる工程と、前記半導体基板の素子領域の角部にエッチングを行って第2の量だけ除去する工程と、前記半導体基板の露出している表面に酸化を行って素子領域の表面に丸みを付ける工程と、トレンチ内部を埋めるように第3の絶縁膜を堆積し、前記第2の絶縁膜をストッパー材として前記第3の絶縁膜を平坦化する工程と、前記第2の絶縁膜を除去する工程と、前記素子領域の表面上の前記第1の絶縁膜を除去する工程とを備え、素子領域の実効寸法が実寸法よりも大きいことを特徴とする。

【0024】さらに、本発明の半導体装置の製造方法は、半導体基板の表面上に第1及び第2の絶縁膜を順に形成し、この第1及び第2の絶縁膜と前記半導体基板の

表面部分とにバーニングを行ってトレンチを形成する工程と、前記第1及び第2の絶縁膜の側面にエッチングを行って第1の量だけ後退させる工程と、前記半導体基板の露出している表面に酸化を行って素子領域の角部に丸みを付ける工程と、前記第1及び第2の絶縁膜の側面にエッチングを行ってさらに第2の量だけ後退させる工程と、トレンチ内部を埋めるように第3の絶縁膜を堆積し、前記第2の絶縁膜をストッパー材として前記第3の絶縁膜を平坦化する工程と、前記第2の絶縁膜を除去する工程と、前記素子領域の表面上の前記第1の絶縁膜を除去する工程とを備え、前記素子領域の角部より前記第1及び第3の絶縁膜が後退しないことを特徴とする。

【0025】本発明の半導体装置は、素子領域と素子分離領域とが設けられ、素子分離領域にトレンチが形成された半導体基板と、前記トレンチの内壁に形成された酸化膜と、前記トレンチ内部を埋め込むように形成された絶縁膜とを備え、前記トレンチの内壁に前記酸化膜を形成するための酸化工程によって前記素子領域の表面に丸みが付いており、素子領域の実効寸法が実寸法よりも大きいことを特徴としている。

【0026】また、本発明の半導体装置は、素子領域と素子分離領域とが設けられ、素子分離領域にトレンチが形成された半導体基板と、前記トレンチの内壁に形成された酸化膜と、前記トレンチ内部を埋め込むように形成された絶縁膜とを備え、前記トレンチの内壁に前記酸化膜を形成するための酸化工程によって前記素子領域の角部に丸みが付いており、さらに前記素子領域の角部より前記絶縁膜及び前記酸化膜が後退していないことを特徴とする。

【0027】

【発明の実施の形態】以下、本発明の一実施の形態について図面を参照して説明する。

【0028】本発明の第1の実施の形態による半導体装置の構成及びその製造方法について、図1～図5を参照して説明する。

【0029】図1(a)に示されるように、半導体基板101上に熱酸化法により約150オングストロームの膜厚でシリコン酸化膜102を形成する。その表面上に、ストッパー材としてシリコン窒化膜(又は多結晶シリコン膜)103をCVD法により約1500オングストロームの膜厚で堆積する。その表面上に、トレンチ形成用マスク材となるレジスト膜106を形成する。

【0030】レジスト膜106をマスクとして異方性エッチングを行い、シリコン窒化膜103及びシリコン酸化膜102にバーニングを行う。さらに、半導体基板101の表面部分に異方性エッチングを行い、約4000オングストロームの深さのトレンチ105を形成する。その後、レジスト膜106を剥離する。

【0031】図1(b)のように、シリコン酸化膜102に対して横方向にウェットエッチングを行い、後退さ

せる。このエッティング量は、シリコン酸化膜102が完全に除去されない範囲で、素子領域の角のみならず表面全体に丸みがつくように大きく設定する必要がある。

【0032】図1(c)に示されているように、半導体基板101のトレンチ105の内壁を熱酸化法により酸化し、約350オングストロームのシリコン酸化膜108を形成する。これにより、図示されたように素子領域111の表面全体に丸みがついた状態になる。

【0033】図1(d)に示されているように、シリコン酸化膜(又はTEOS膜)107をCVD法によりトレンチ105を埋め込むように堆積する。

【0034】あるいは、図2(a)に示されたように、ストッパー材としてのシリコン窒化膜103の表面上に、トレンチ形成用マスク材としてシリコン酸化膜104を形成してもよい。この場合は、図示されていないレジスト膜を用いてシリコン酸化膜104にエッティングを行う。このシリコン酸化膜104をマスクとして半導体基板101に異方性エッティングを行い、トレンチ105を形成する。

【0035】この後の工程は、図1(b)～図1(d)に示された工程と同様である。図2(b)のように、シリコン酸化膜102に対して横方向にウェットエッティングを行い、後退させる。

【0036】図2(c)に示されているように、半導体基板101のトレンチ105の内壁を熱酸化法により酸化し、約350オングストロームのシリコン酸化膜108を形成する。これにより、図示されたように素子領域111の表面全体に丸みがついた状態になる。

【0037】図2(d)に示されているように、シリコン酸化膜(又はTEOS膜)107をCVD法によりトレンチ105を埋め込むように堆積する。

【0038】図1(d)又は図2(d)に示された後の工程として、シリコン酸化膜107にエッチバックあるいはCMPを行い、シリコン窒化膜103の表面が露出するまで平坦化する。平坦化を行った後、図3のようにシリコン窒化膜103を剥離する。埋め込み材としてTEOS膜を用いた場合のように、耐熱性が低いものに対しては、アニールにより密度を高めるデンシファイを行うことが望ましい。

【0039】さらに、ウェットエッティングにより素子領域111表面上のシリコン酸化膜102を除去する。これにより、素子領域111がトレンチにより分離された構造が得られる。この場合のエッティング量は、所望の素子分離耐圧が確保できる範囲内で必要十分な値に設定することが望ましい。

【0040】この後、素子領域に不純物注入等を行って素子を形成し、電極配線を形成する工程等を経て装置を完成する。

【0041】本実施の形態によれば、図3に示されたように素子領域の表面に丸みがついた状態になる。よっ

て、素子領域に素子を形成した場合に実寸法以上に実効寸法を大きくすることができる。より具体的には、トランジスタのチャネル領域の断面積が大きくなるのでよりトランジスタ寸法Wを大きくすることができる。

【0042】ここで、素子領域の表面により丸みを付けることができるよう、次のような工程を追加することもできる。図1(b)又は図2(b)に示された段階において、素子領域の角部112における半導体基板101に等方性エッティングを行い、図4又は図5に示されたように適量だけ除去する。以降の工程は図1(c)又は図2(c)以降と同様であり、説明を省略する。この工程を追加することで、素子領域111表面により丸みを付けることができるので、素子の実効寸法をより大きくすることができます。

【0043】次に、本発明の第2の実施の形態による半導体装置の構成及びその製造方法について、図6を用いて説明する。

【0044】図6(a)に示されたように、半導体基板201の表面上にシリコン酸化膜202、平坦化ストッパー材としてのシリコン窒化膜203、トレンチ形成用マスク材としてのレジスト膜204を形成する。レジスト膜204をマスクとして異方性エッティングを行い、シリコン窒化膜203及びシリコン酸化膜202にバーニングを行う。さらに、半導体基板201に異方性エッティングを行ってトレンチ209を形成する。

【0045】図2(b)に示されているように、シリコン窒化膜203及びシリコン酸化膜204の側面に対して、例えばホットリン酸を用いたウェットエッティングを行い、例えば200オングストローム後退させる。

【0046】図2(c)に示されているように、半導体基板201のトレンチ209の内壁を熱酸化法により酸化し、約350オングストロームのシリコン酸化膜205を形成する。これにより、素子領域の角部210に丸みがついた状態になる。ここで、酸化量が大きすぎると後述するように素子領域が狭くなることに注意する必要がある。酸化量が大きくなりすぎないようにするには、例えば熱酸化を行った後に素子領域の角における半導体基板201を少量除去することが考えられる。

【0047】図2(d)に示されるように、再びシリコン窒化膜203及びシリコン酸化膜204の側面にウェットエッティングを行い、後退させる。このエッティングは、この後のトレンチ209への埋め込みを容易にするため、さらにその後の工程において埋め込んだシリコン酸化膜がエッティング工程で素子領域の角部よりも後退しないようにするために行う。そして、TEOS膜206を埋め込み材としてトレンチ209を埋め込むように堆積する。

【0048】図2(e)に示されたように、TEOS膜206にエッチバックあるいはCMPを行い、ストッパー材としてのシリコン窒化膜203の表面が露出するま

で平坦化を行う。平坦化を行った後、シリコン塗化膜203を剥離する。これにより、素子分離領域210と素子領域211が形成される。

【0049】図2(f)に示されたように、素子領域211の表面上のシリコン酸化膜202を除去する。この処理により、素子分離領域210に埋め込まれたシリコン酸化膜206が除去されて図示されたように後退する。

【0050】図2(g)に示されたように、熱酸化法を用いて素子分離領域207の表面上にゲート酸化膜207を形成する。さらに、表面全体に電極材を堆積させ、パターニングを行ってゲート電極配線208を形成する。

【0051】従来は、図11(h)に示されたように、素子領域411上のシリコン酸化膜402を除去する工程で、素子分離領域410に埋め込まれたシリコン酸化膜406が素子領域411の角部409よりも後退し、角部409において半導体基板411の表面が露出していた。この結果、素子領域411の角部409が埋め込み用シリコン酸化膜406よりも膜厚が薄いゲート酸化膜で覆われることとなり、耐圧の低下やオフリーク電流の増加を招いていた。

【0052】これに対し、本実施の形態によれば、図6(f)に示されたように素子領域211上のシリコン酸化膜202を除去する工程で、素子分離領域210に埋め込まれたシリコン酸化膜206が後退せず、素子領域211の角部の露出が防止される。これは、図6(c)の熱酸化工程で素子領域211の角部に丸みを付けた上に、さらに図6(d)の工程でシリコン塗化膜203及びシリコン酸化膜204の側面を後退させることで、この部分にシリコン酸化膜206を埋め込むようにしたためである。これにより、素子領域211の角部が膜厚の厚い埋め込み用シリコン酸化膜206で覆われるので、耐圧の低下やオフリーク電流の増加を防止することができる。

【0053】ここで、上述したように図6(b)の工程で、シリコン塗化膜203及びシリコン酸化膜204の側面を除去するエッティング量が大きすぎると、以下のような問題が発生する。

【0054】図7(a)に示されたように、半導体基板221の表面部分にトレンチ229を形成した後、シリコン酸化膜222、シリコン塗化膜223、及びレジスト膜224の側面をエッティングにより後退させる。この後退量が大きすぎると、図7(b)に示されたように、熱酸化工程でシリコン酸化膜225を形成した時点で、半導体基板221の角部230に大きな丸みが付く。

【0055】図7(c)に示されたように、シリコン酸化膜226でトレンチ229を埋め込んで、シリコン塗化膜223の表面が露出するまで平坦化する。

【0056】図7(d)のようにシリコン塗化膜223

を除去し、さらに素子領域231の表面上のシリコン酸化膜222を除去する。図7(a)におけるシリコン塗化膜222の後退量が大きいために、部分233に示されたようにシリコン酸化膜225及び226が素子領域231の周辺部まで残存する。

【0057】この後、図7(e)のように素子領域231の表面上にゲート酸化膜227を形成し、その表面上にゲート電極配線228を形成する。

【0058】ここで、図7(e)に示されたように、素子領域231の周辺部までシリコン酸化膜225及び226が存在する。このため、素子領域231の幅4aが本来の幅4bよりも狭くなってしまい、有効な素子面積が減少する。

【0059】このような事態を回避するためには、上記第2の実施の形態における図6(b)に示された工程で、シリコン塗化膜203の側面の後退量が大きくなり過ぎないようにエッティング量を設定する必要がある。

【0060】上述した実施の形態は一例であり、本発明を限定するものではない。例えば、第1、第2の実施の形態においてトレンチ形成用マスク材や平坦化ストップ材、トレンチ埋め込み材として示したものは一例に過ぎず、他の材料を用いてもよい。また膜の形成法や膜厚等も、必要に応じて上記実施の形態と異なるものであってもよい。

【0061】

【発明の効果】以上説明したように、本発明の半導体装置及びその製造方法によれば、半導体基板の表面上に形成した第1、第2の絶縁膜のうち、トレンチ形成後に第1の絶縁膜の側面を後退させ、基板表面の酸化を行って素子領域の表面に丸みを付けることにより、実寸法より素子の実効寸法を大きくすることが可能である。

【0062】また、本発明の半導体装置及びその製造方法によれば、第1、第2の絶縁膜の側面を後退させて酸化を行い、素子領域の角部に丸みを付けた後に、さらに第1、第2の絶縁膜の側面を後退させてトレンチの埋め込みを行うことにより、素子分離領域を埋め込む絶縁膜が素子領域の角部よりも落ち込んで素子領域の角部表面が露出し、埋め込み酸化膜よりも膜厚の薄いゲート酸化膜で覆われることを防止することができるので、耐圧を向上させオフリーク電流を減少させることができるのである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の構成及びその製造方法を工程別に示した縦断面図。

【図2】同第1の実施の形態による半導体装置の構成及びその製造方法を工程別に示した縦断面図。

【図3】同第1の実施の形態による半導体装置の構成及びその製造方法を工程別に示した縦断面図。

【図4】同第1の実施の形態による半導体装置の製造方法において、素子領域の角部をエッティングにより除去す

る工程を示した縦断面図。

【図5】同第1の実施の形態による半導体装置の製造方法において、素子領域の角部をエッチングにより除去する工程を示した縦断面図。

【図6】本発明の第2の実施の形態による半導体装置の構成及びその製造方法を工程別に示した縦断面図。

【図7】同実施の形態においてシリコン窒化膜の後退量が大きすぎる場合の問題を工程別に示した縦断面図。

【図8】従来の半導体装置の構成及びその製造方法を工程別に示した縦断面図。

【図9】従来の他の半導体装置の構成及びその製造方法を工程別に示した縦断面図。

【図10】図8及び図9に示された従来の半導体装置の製造方法のその後の工程を示した縦断面図。

【図11】従来のさらに他の半導体装置の構成及びその

製造方法を工程別に示した縦断面図。

【符号の説明】

101、201、221 半導体基板

102、104、107、108、202、205、206、222、225、227、230、231 シリコン酸化膜

103、203、223 シリコン窒化膜

204、224 レジスト膜

105、209、229 トレンチ

207 ゲート酸化膜

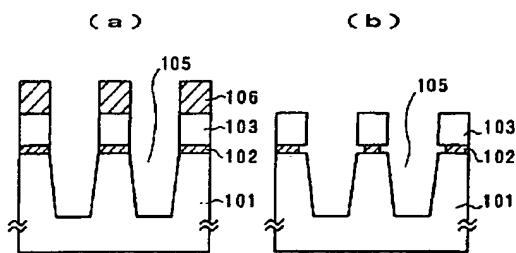
208、228 ゲート電極配線

210 素子分離領域

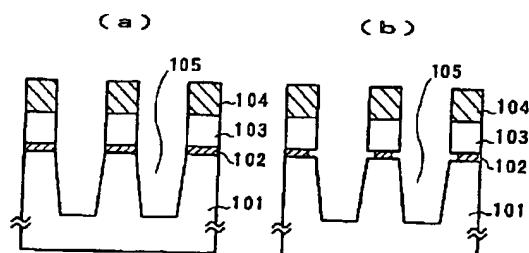
111、211 素子領域

112、210、230 角部

【図1】

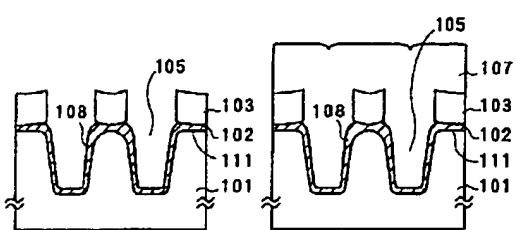


【図2】



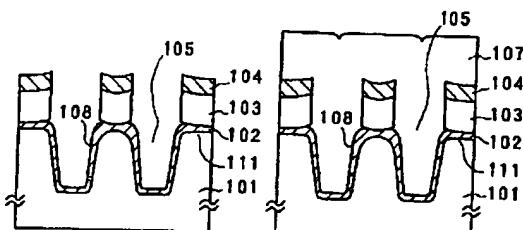
(c)

(d)

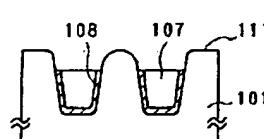


(c)

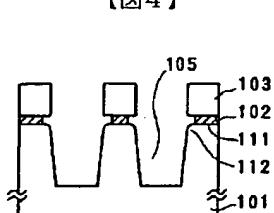
(d)



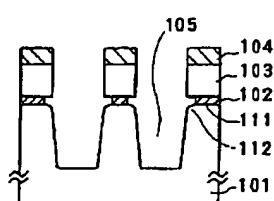
【図3】



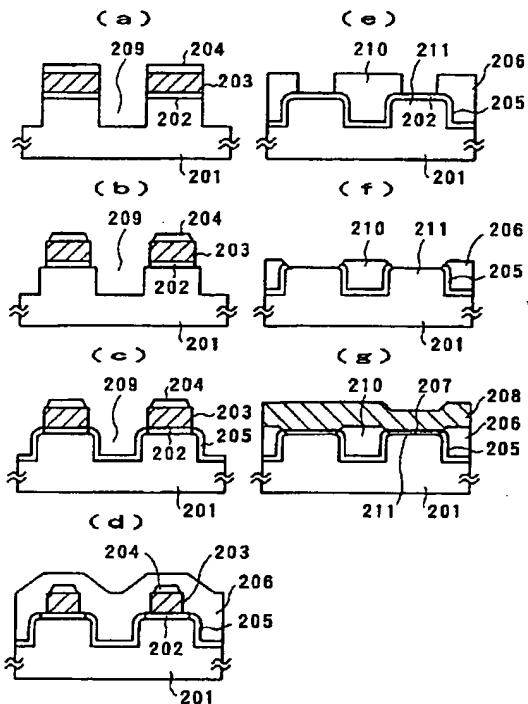
【図4】



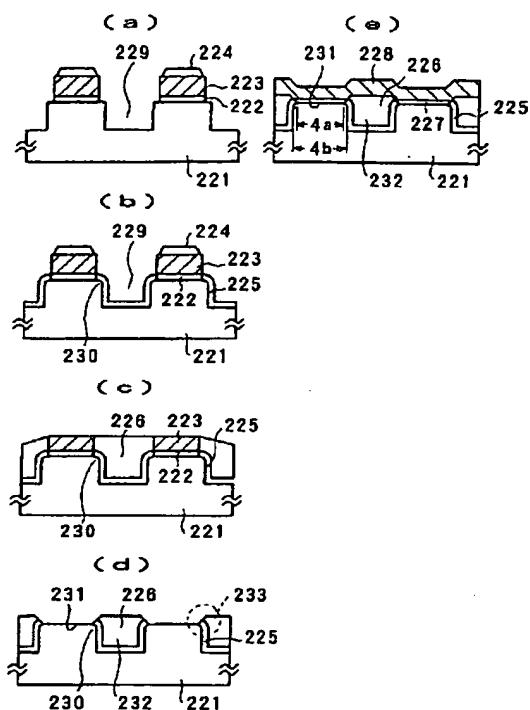
【図5】



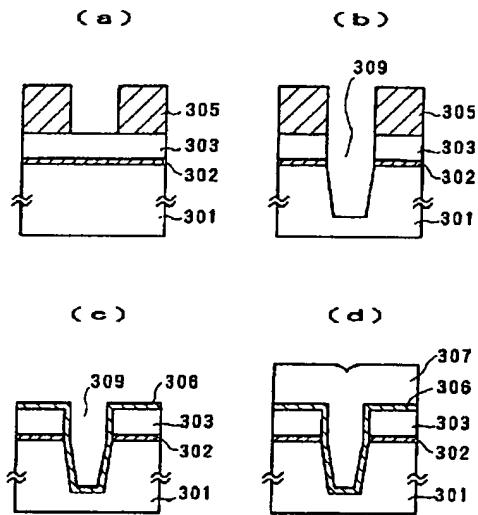
【図6】



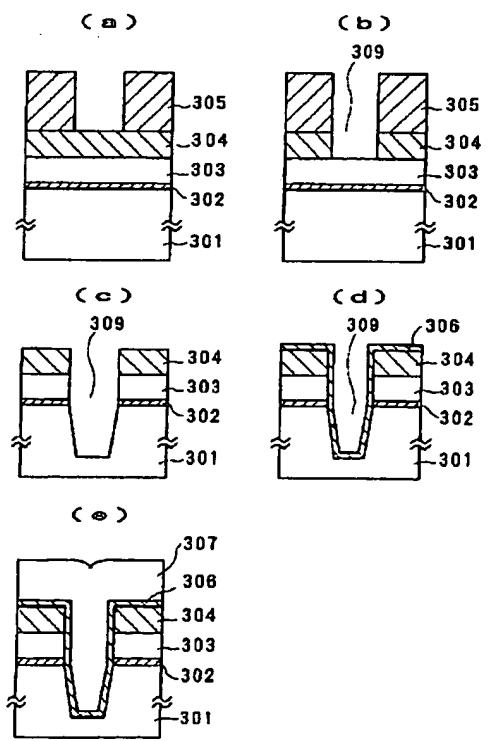
【図7】



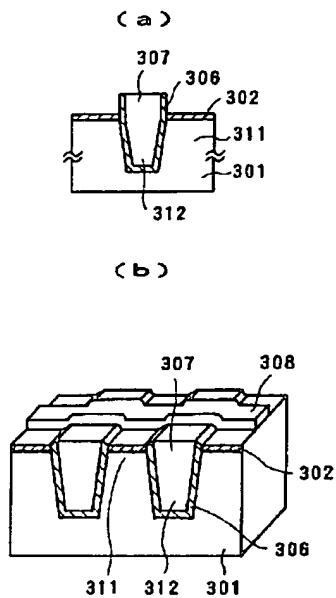
【図8】



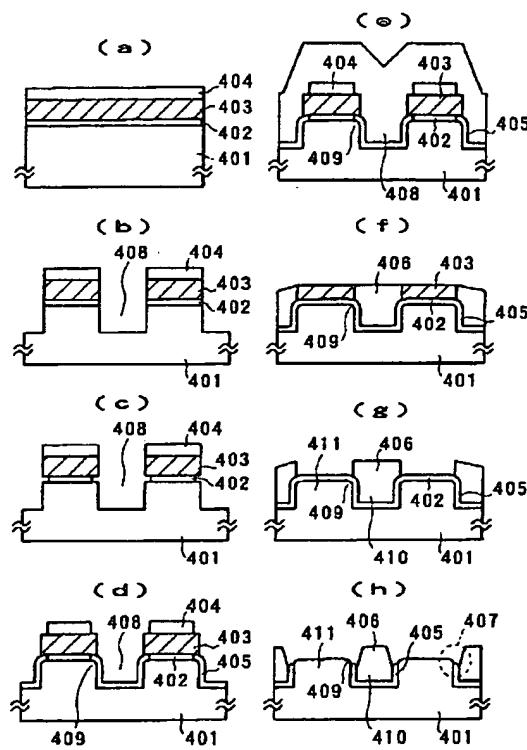
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5F032 AA35 AA36 AA45 BA05 DA24
DA27 DA53
5F083 GA06 GA30 NA01 PR05 PR12
PR21